

Dr. Holger Flatt, 15.12.2023

Science to Business-

am Beispiel Elektronikentwicklung mit FPGAs zur
Ultrahochgeschwindigkeitsregelung von Netzeinspeisenumrichtern für
Windenergieanlagen

Agenda

- Einleitung
- Kurzeinführungen
 - FPGA-Technologie
 - Deterministische Echtzeit-Kommunikation
- FPGA-basierter Ansatz zur Steuerung von Netzeinspeisenumrichtern
- Ergebnisse
- Trends im Bereich Elektronikentwicklung mit FPGAs
- Weitere aktuelle Elektronikprojekte am Fraunhofer IOSB-INA
- Zusammenfassung



Bildquelle: openclipart.org

Einleitung

- Zunehmende Trends für Aufbau industrieller Steuerungssysteme
 - Modularität und räumliche Verteilung von Komponenten
 - Ethernet-basierte Kommunikationssysteme
- Exemplarische Anforderungen an Kommunikationssysteme:
 - Unterstützung von Regelungsfrequenzen bis zu 640 KHz im Bereich Netzeinspeisenumrichter [1]
 - Niedrige Latenz und Jitter bei der Übertragung
- Fragestellung von Enercon:
 - Wie können derartige Anforderungen auf Grundlage von Echtzeit-Ethernet und FPGAs zur Regelung von Netzeinspeisenumrichtern erfüllt werden?

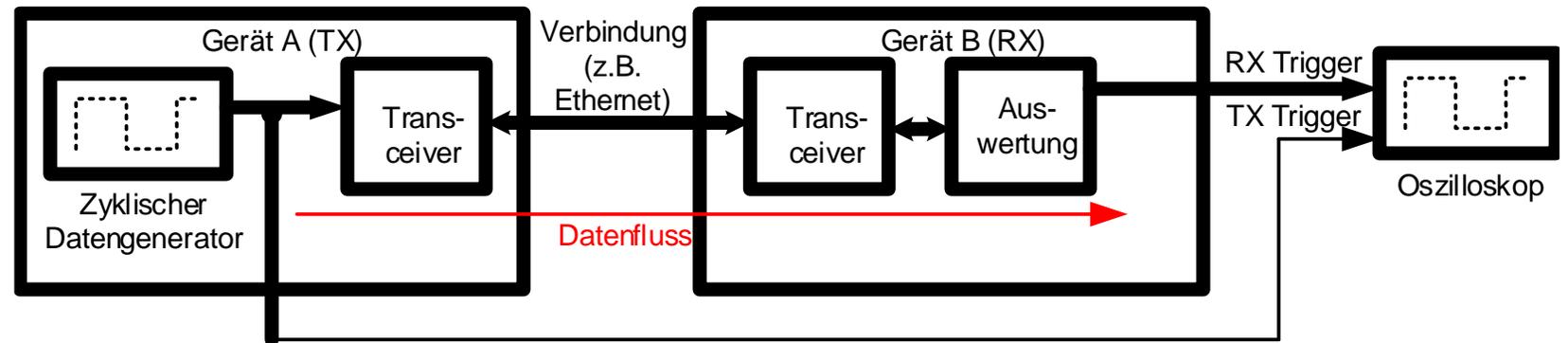


Bildquelle: Enercon

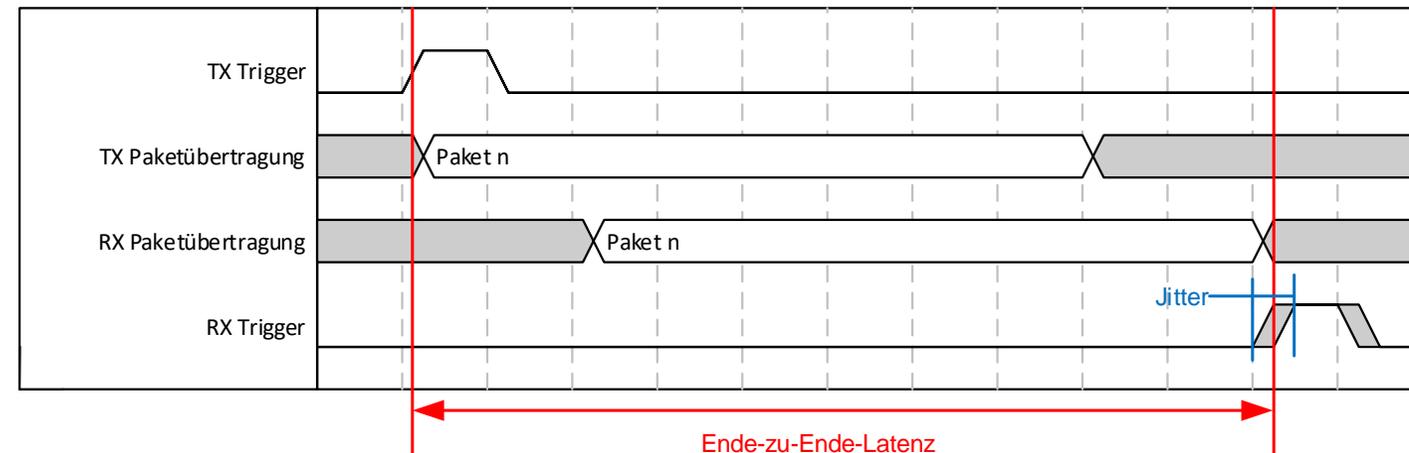
[1] A. Gensior: „Approximated sliding-mode control of parallel-connected grid inverters“, In: 22nd European Conf. on Power Electronics and Applications, Lyon, France, 2020

Kurzeinführung: Begriffe der deterministischen Echtzeit-Kommunikation

■ Messaufbau

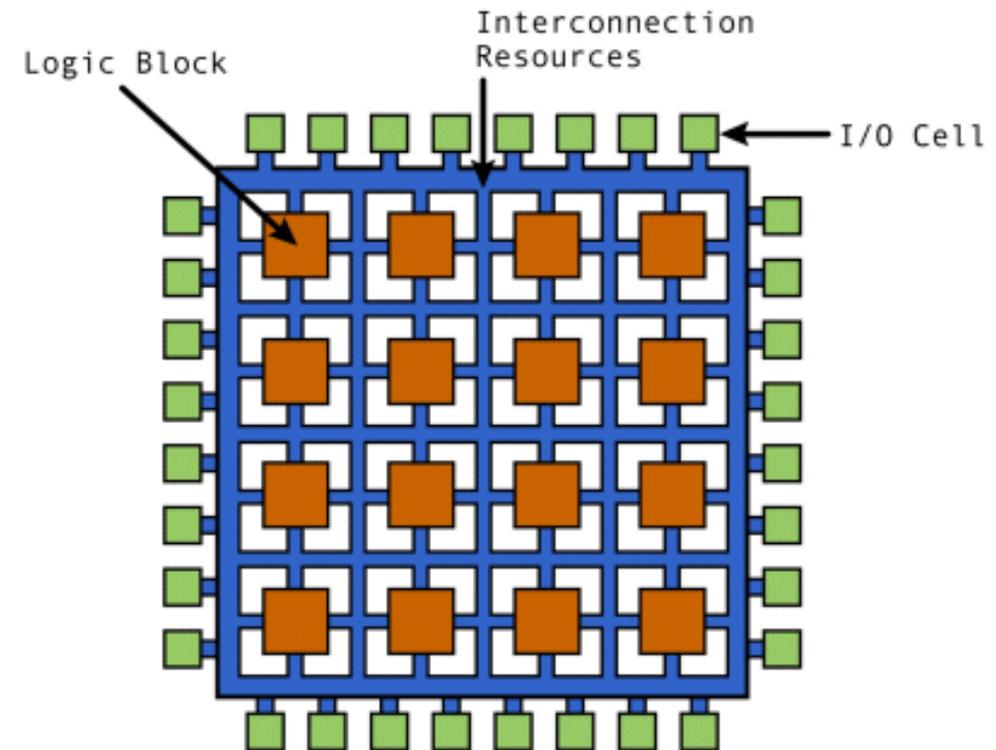


■ Latenz und Jitter



Kurzeinführung Field Programmable Gate Arrays (FPGA)

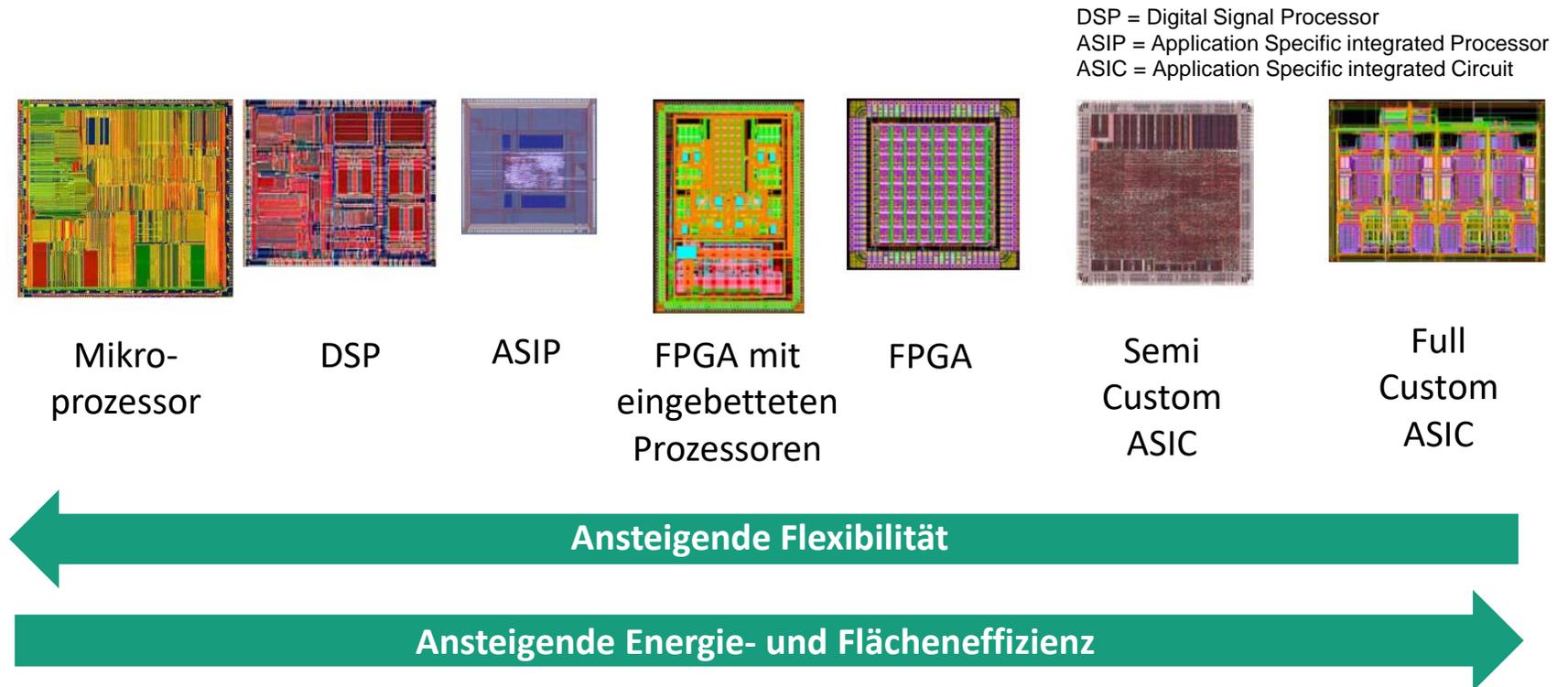
- Vorgefertigter Mikrochip zur Umsetzung digitaler Schaltungen [2]
- Entstanden Mitte der 1980er-Jahre
- Programmierung von Funktionsblöcken mit Hardware-Beschreibungssprachen
- Hochparallele Datenverarbeitung möglich
- Rekonfigurierbar → Updates im Feld unterstützt
- Aus Kostengründen primär für Spezialanwendungen, Kleinserien und Prototyping geeignet



Bildquelle: <http://pldworld.kr>

Nutzung von FPGAs für industrielle Elektroniksysteme

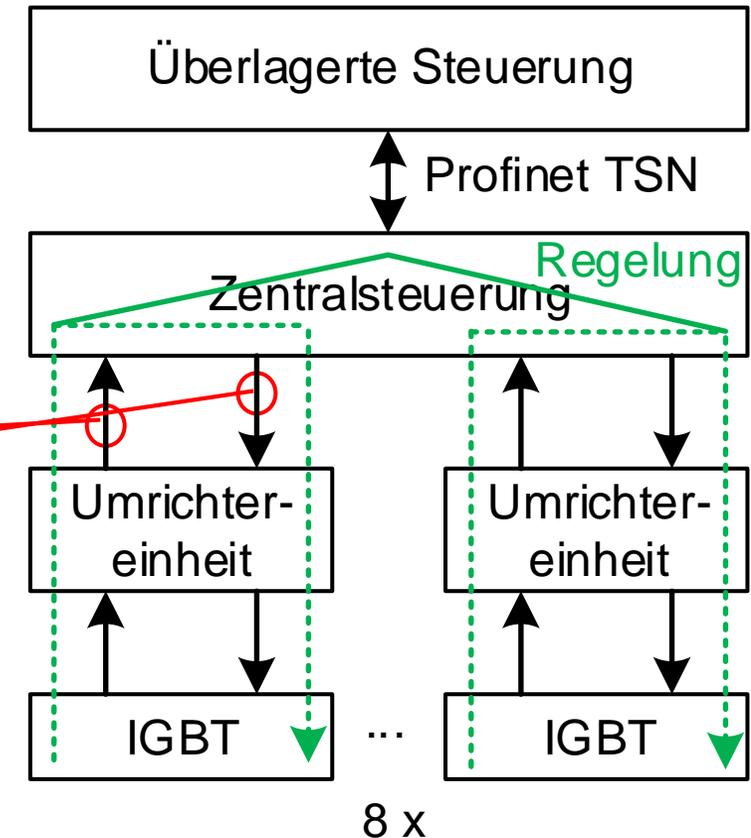
- Hohe Flexibilität [3]
- Möglichkeit massiver Parallelverarbeitung
- Spezialaufgaben wie z.B. Zeitstempelung einfach umsetzbar
- Kurze Markteinführungszeit



FPGAs mit eingebetteten Prozessoren von besonderer Relevanz, da Flexibilität bei der Software-Entwicklung und leistungsfähige Datenverarbeitung in Hardware vereint sind.

Regelung dezentraler Einspeisenumrichter von Enercon-Windenergieanlagen

- Regelung von acht IGBT-Halbbrücken pro Phase über eine Zentralsteuerung [4]
- Anforderungen von Enercon an Kommunikation von Echtzeitdaten zwischen Netzeinspeisenumrichtern (Umrichtereinheiten) und der Zentralsteuerung:
 - $< 1 \mu\text{s}$ Latenz
 - $< 100 \text{ ns}$ Jitter
 - Nutzung von Standards, geringe Kosten und einfache Inbetriebnahme



IGBT = Insulated Gate Bipolar Transistor

Bewertung von GBit-Ethernet

- GBit-Ethernet (1000BASE-T) erfüllt grundlegend gestellte Anforderungen, aber:
 - Übertragung eines minimal großen Paketes (7 Byte Präambel, 1 Byte SFD sowie 64 Datenbytes) benötigt 576 ns
 - Latenzen der Ethernet PHYs z.T. 400 ns [5]
 - Weitere interne Verarbeitungszeiten zur Erzeugung und Analyse von Ethernet-Paketen
 - Weitere Optimierungen erforderlich, um Ende-zu-Ende-Latenz von 1 μ s signifikant zu unterschreiten



SFD = Start Frame Delimiter
PHY = Physical layer transceiver circuitry

Bewertung von Ethernet-basierten Echtzeit-Kommunikationssystemen

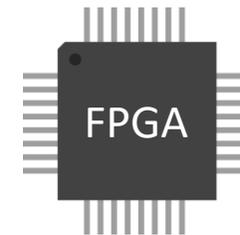
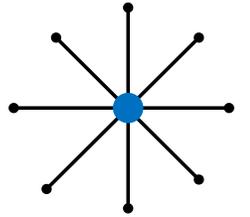
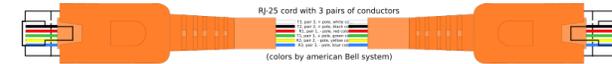
- Ethernet basierte Systeme
 - Auswahl der Geräte, Konfigurationsoberflächen oder Plug-and-Play-Mechanismen im Fokus
 - Nutzung von Bridging, da reine Sterntopologie für viele Anwendungen nicht ausreichend ist
 - Häufig Forderung von Bridging-Latenzen $< 1 \mu\text{s}$ [6]
- Umrichterapplikation von Enercon fordert Ende-zu-Ende-Latenz $< 1 \mu\text{s}$
 - Bridging-Kommunikationssysteme nicht geeignet



[6] IEC/IEEE 60802 Project Group: IEC/IEEE 60802 Example Selection. Online: <http://www.ieee802.org/1/files/public/docs2020/60802-Steindl-et-al-ExampleSelection-0520-v24.pdf>, 2020.

Neuer Ansatz zur Ultra-Hochgeschwindigkeitskommunikation

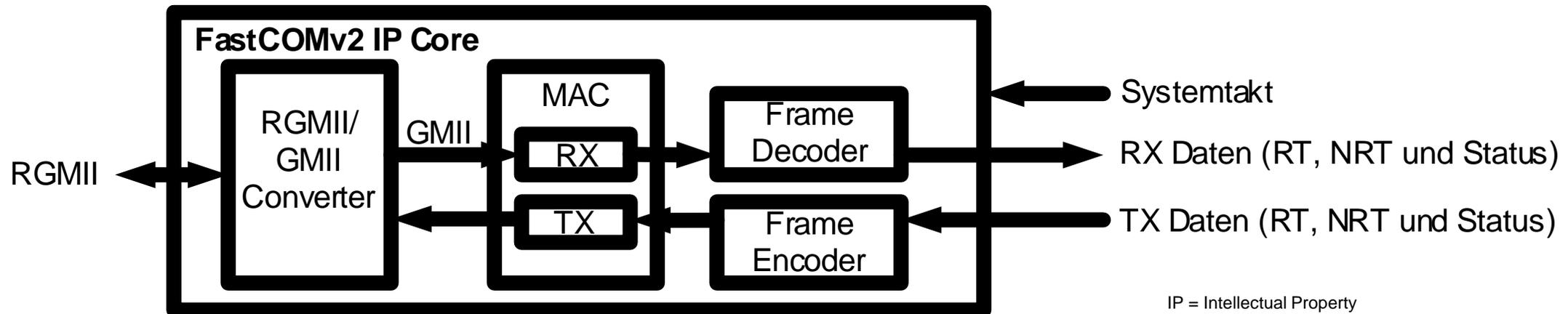
- Nutzung von GBit-Ethernet in einer Sterntopologie (8-fach Punkt-zu-Punkt)
- Entwicklung des für den Anwendungsfall optimierten neuen Kommunikationsprotokolls FastCOMv2
- Protokollverarbeitung in Hardware (hier FPGAs) für Echtzeitkommunikation



Bildquelle Cliparts: opencliparts.org
Bildquelle Stern: eigene Darstellung

FastCOMv2 IP Core für Ethernet-basierte Ultra-Hochgeschwindigkeitskommunikation

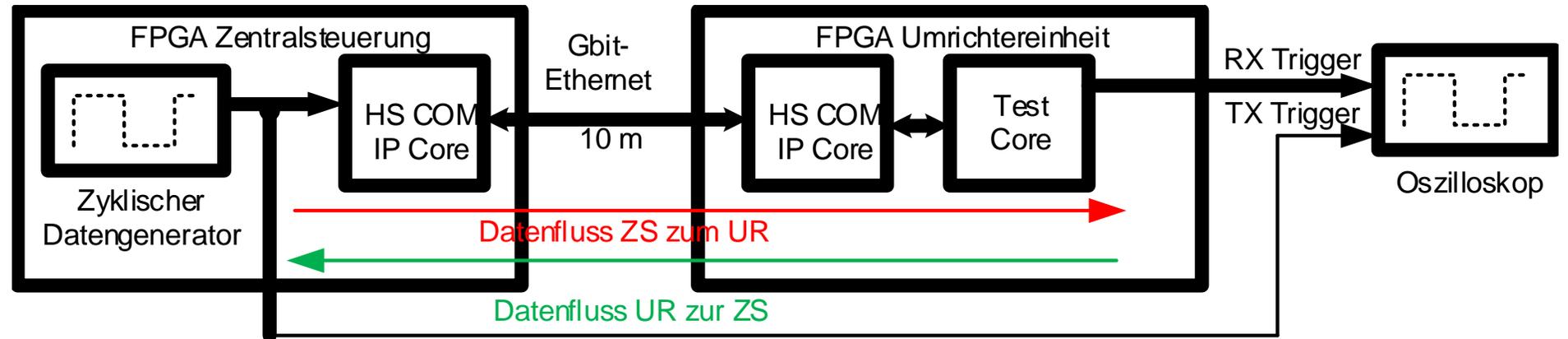
- Entwicklung eines FPGA-basierten IP Cores
- Datenaustausch zwischen der PHY-Schnittstelle (RGMII) und einer systemseitigen internen Schnittstelle (RX Daten, TX Daten)
- Umsetzung des vorgestellten Protokolls vollständig in Hardware



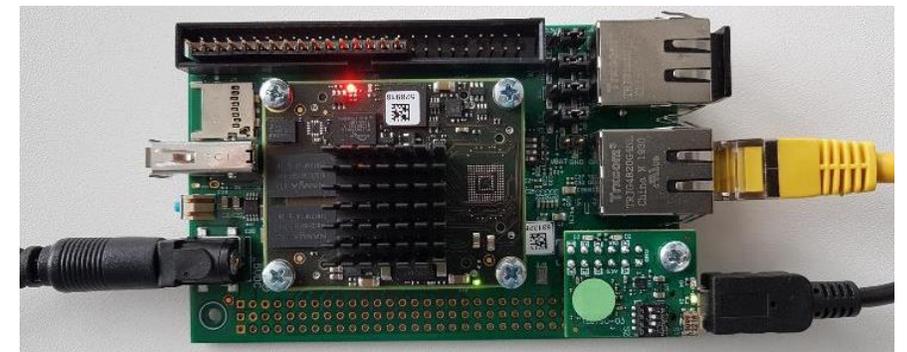
IP = Intellectual Property
(R)GMII = (Reduced) Gigabit Media Independent Interface
MAC = Media Access Control
RT = Real-Time
NRT = Non-Real-Time

Entwickelter Prototyp: Messung von Ende-zu-Ende-Latenz und Jitter

Systemaufbau für Messungen

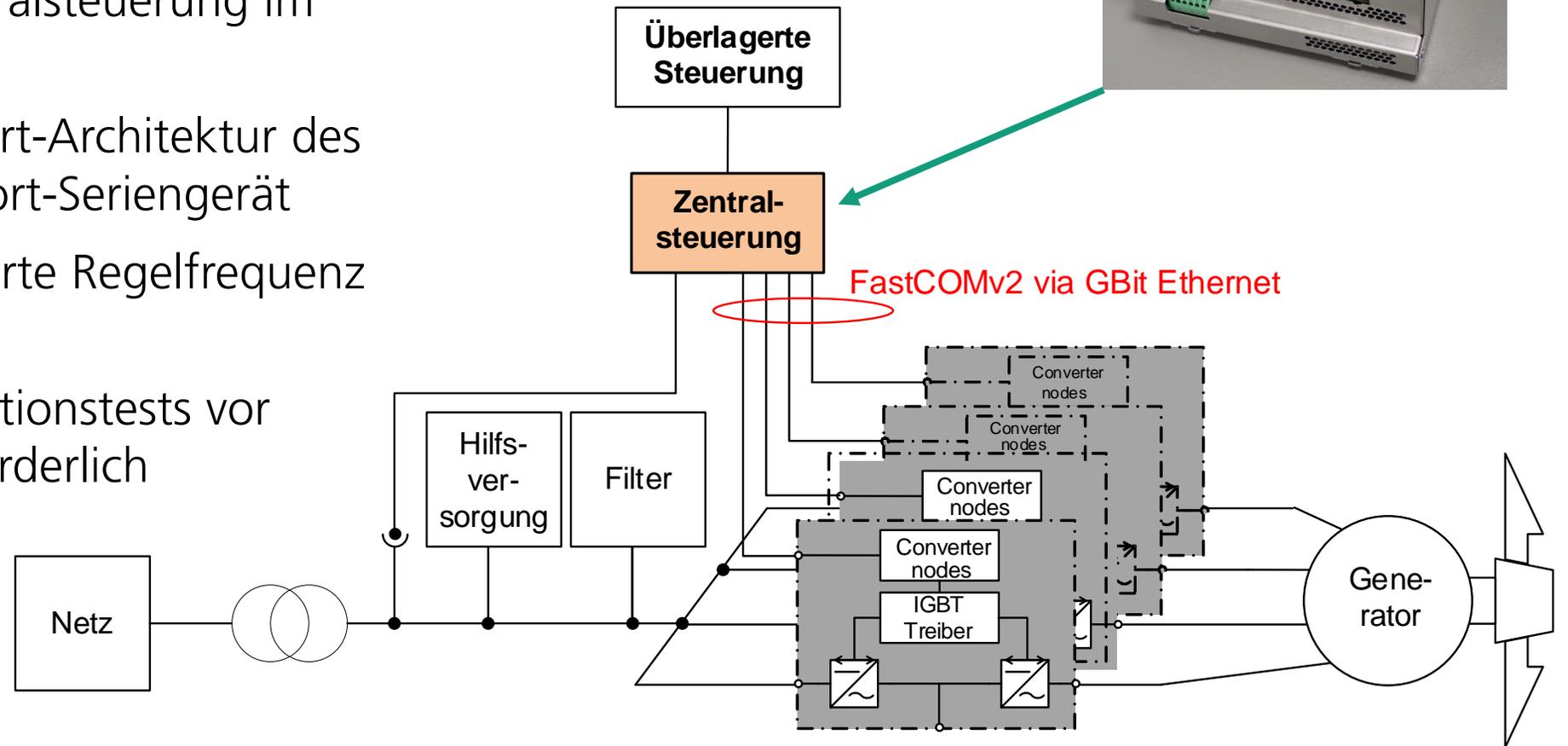


- Nutzung einer Konfiguration mit 13 Byte Echtzeitdaten
- Ende-zu-Ende-Latenz: ca. 758 ns, Jitter: ca. 20 ns
- Änderung Datenmenge: ± 8 ns / Byte
- Änderung Leitungslänge: ca. ± 5 ns / m



Enercon-Systemkonzept zur Steuerung von Netzeinspeisenumrichtern

- FPGA-basierte Zentralsteuerung im Fokus [7]
- Abbildung der 1-Port-Architektur des Prototypen auf 8-Port-Seriengerät
- Unterstützt geforderte Regelfrequenz von 640 kHz
- Umfangreiche Funktionstests vor Einsatz im Feld erforderlich



Bildquellen: Enercon

[7] H. Flatt, G. Heilmann et al.: „Ultra-Hochgeschwindigkeitskommunikation - Neues Systemkonzept zur Regelung dezentraler Netzeinspeisenumrichter“. In: ew-Magazin 09/2023, VDE Verlag GmbH, S. 34-37, Sep 2023

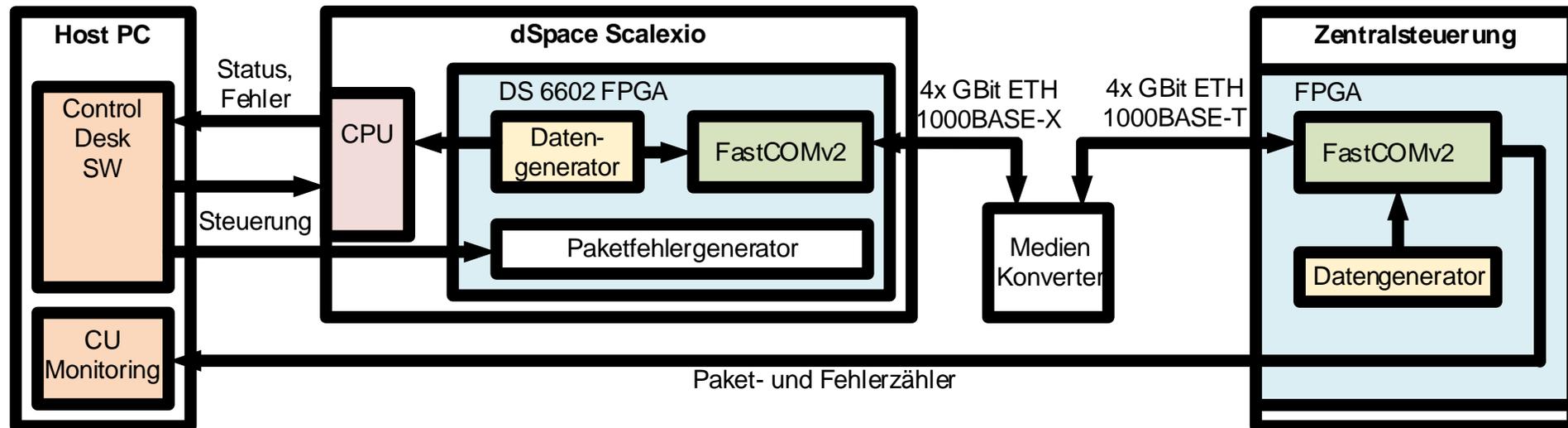
Hardware-in-the-Loop Testkonzept: Übersicht

- Anforderungen:
 - Nachbildung von Netzeinspeisenumrichtern über Hardware-in-the-Loop (HIL) Testgerät, welches mit Zentralsteuerung verbunden wird
 - Abbildung realitätsnaher Einsatzszenarien
 - Deterministische parallele Ethernet-Kommunikation zwischen HIL-System und Zentralsteuerung
- Analyse:
 - Übliche HIL-Ansätze nicht geeignet, da Ethernet-Kommunikation über CPU des HIL-Systems
 - Entwicklung eines neuen Konzeptes erforderlich!



Hardware-in-the-Loop Testkonzept: Umsetzung

- Basierend auf dSpace Scalexio-System mit FPGA-Erweiterungskarte DS6602
 - Abbildung der FastCOMv2-Implementierung auf FPGA
 - Entwicklung eines über HIL-CPU steuerbaren Paketfehlergenerators für Simulation und Test von CRC-Fehlern, verlorenen Paketen und Paketfragmenten
- Resultierender Testaufbau:



Pilotierung

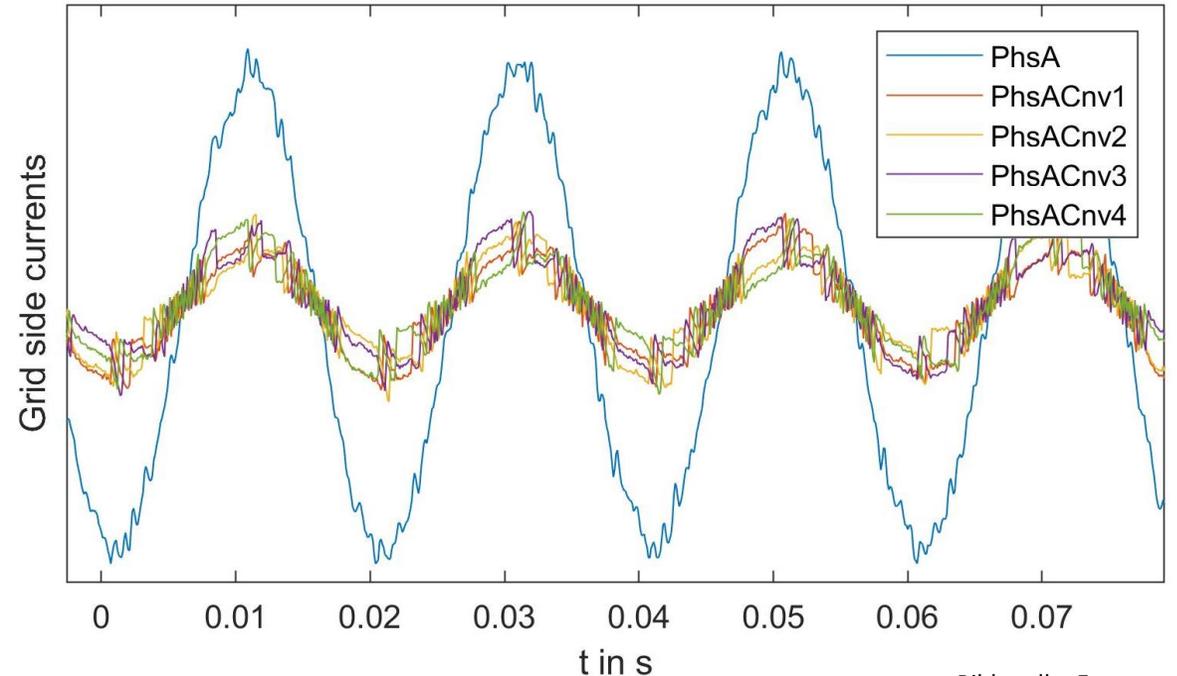
- ENERCON-E-Gondel des Modelltyps E-138 EP3 E3
 - 138 Meter Rotordurchmesser
 - Nennleistung von 4,26 MW
 - Aufbau im Windpark Staphorst (Niederlande) Ende 2022
- Ergebnisse:
 - Einfache Integration der Elektronik in bestehendes System, da Lösung Plug-and-Play-Fähigkeiten unterstützt
 - Geschwindigkeit der FastCOMv2-Kommunikation im realen Einsatz nahezu identisch mit Prototyp [4]
 - Neues Systemkonzept bietet sich vor allem bei größeren Windenergieanlagen mit mehreren parallelen Netzeinspeisenumrichtern an



Bildquelle: Enercon

Messung in Pilotanlage

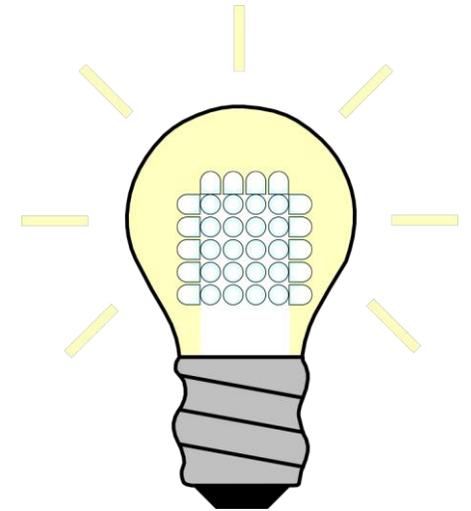
- Parallele Messung und Addition von Generatorströmen an vier Umrichtereinheiten (PhsACnv1-4) am Beispiel einer Phase
- Zeitgleiche Übertragung der gemessenen Ströme per FastCOMv2 zur Zentralsteuerung
- Addition der Messwerte zu einem Gesamtstrom in Zentralsteuerung (PhsA)
- Reduktion der harmonischen Oberwellen des Gesamtstroms für Einspeiseregulierung und Vernetzung auf Minimum



Bildquelle: Enercon

Besonderheiten während der Entwicklung

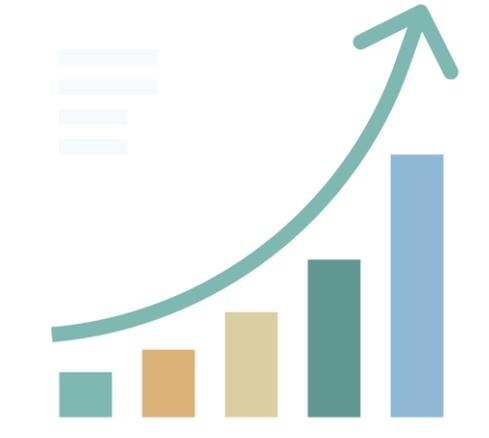
- Von der Idee bis zur Pilotierung in nur drei Jahren
- Projektdurchführung bis zur Pilotierung erfolgte während der Pandemiejahre
- Geringe Projektverzögerung durch Chipkrise und Teilemangel
- Entwicklung von HIL-Testkonzept mit Umsetzung von FastCOMv2 auf HIL-FPGA-Erweiterungskarte als größte Herausforderung des Projektes
 - Nutzung HIL-FPGA-Erweiterungskarte weit abseits der üblichen Anwender
 - Integration von Quellcode, Spezial IP Cores und FPGA-Einstellungen in heterogene Tool-Chain der Hersteller dSpace, Matlab und Xilinx
 - Lösung durch Analyse und tiefgreifende Einarbeitung in die Tool-Chain
- Weiterentwicklung von Zentralsteuerung und FPGA-Architektur gestartet



Bildquelle: openclipart.org

Trends im Bereich Elektronikentwicklung mit FPGAs

- Umsetzung innovativer Zukunftsapplikationen auf Hochleistungs-FPGAs
 - z.B. in Bereichen KI, autonome Fahrzeuge und Industrie 5.0 [8]
- Produktivitätssteigerung bei der FPGA-Entwicklung
 - Einsatz von High-Level-Synthese (HLS) Tools mit dem Ziel auf höherer Abstraktionsebene entwickeln zu können
 - Nutzung von Tools wie Matlab/Simulink zur Entwicklung und Simulation von Applikationen, welche anschließend mit Werkzeugen wie dem HDL Coder in HDL Code übersetzbar sind
 - Einsatz generativer KI zur Unterstützung der Code-Entwicklung [9]



Bildquelle: openclipart.org

[8] I. Stroh: „AMD Größtes FPGA-basiertes adaptives SoC“. In: <https://www.elektroniknet.de/halbleiter/programmierbare-logik/groesstes-fpga-basiertes-adaptives-soc.206515.html>, 06/2023

[9] J. Blocklove, S. Garg, R. Karri and H. Pearce: “Chip-Chat: Challenges and Opportunities in Conversational Hardware Design”, In: arXiv, 2023

Weitere aktuelle Elektronikprojekte am Fraunhofer IOSB-INA



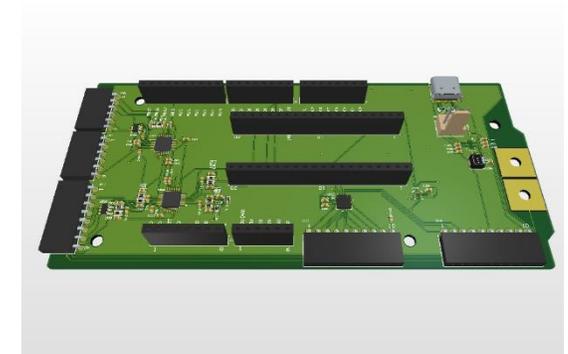
IoT-Radarsensor für
Pegelmessungen



Elektronik für energieautarkes
Sensorsystem zur Füllstandsmessung



FPGA-basierter
TSN-Monitor



Zentrales Sensorboard für eine
intelligente Orthese

Zusammenfassung

- Neuer Ansatz für Ethernet-basierte Ultra-Hochgeschwindigkeitskommunikation für Regelung dezentraler Netzeinspeisenumrichter von Windenergieanlagen
- Ende-zu-Ende-Latenz $< 1 \mu\text{s}$ und einem Jitter von 20 ns durch optimiertes IEEE 802.3 kompatibles Protokoll sowie FPGA-Protokollverarbeitung
- Umsetzung in Seriengeräten von Enercon sowie HIL-Testsystem
- Pilotierung im Windpark Staphorst (Niederlande) Ende 2022
- Nutzung für Regelungsaufgaben in anderen Branchen bei ähnlichen Anforderungen an Zykluszeit und Jitter (z.B. Photovoltaik und Elektromobilität)

Kommunikationsansatz FastCOMv2 trägt zur Energienetzstabilität bei und verdeutlicht die Einsatzmöglichkeiten moderner FPGA-Technologien!



Kontakt

Dr.-Ing. Holger Flatt
Fraunhofer IOSB-INA
Institutsteil für industrielle Automation
Campusallee 1, 32657 Lemgo, Germany
Telefon +49 5261 942 90 - 31
Fax +49 5261 942 90 - 90
E-Mail holger.flatt@iosb-ina.fraunhofer.de
Internet www.fraunhofer-owl.de



Vielen Dank für Ihre Aufmerksamkeit!

<http://www.fraunhofer-lemgo.de/>

Optimiertes Kommunikationsprotokoll von FastCOMv2

Feldname	Bytes	Erläuterung
Preamble and SFD	3	Verkürzte Ethernet Präambel und SFD
Protection	2	Absicherung gegen vertauschte Leitungen und ungleiche Firmware-Stände
High Speed Com	n	Nutzdaten für schnelle Echtzeitkommunikation
Intermediate CRC	4	CRC-Absicherung der zuvor übertragenden Inhalte
Low Speed Com	m	Nutzdaten für Nicht-Echtzeitkommunikation
Padding	p	Einfügen von Nullen zur Vergrößerung des Paketes auf 64 Byte
Frame Counter	2	Erkennung von Paketverlusten
Config und Status	3	Weitere Einstellungen und Fehler-Status
CRC	4	Standard Ethernet CRC

- Anzahl der zu übertragenden Nutzdaten variabel (Parameter n und m)
- Padding (Parameter p) nur bei Bedarf für Konformität zu IEEE 802.3